

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-160618

(P2001-160618A)

(43) 公開日 平成13年6月12日 (2001. 6. 12)

| | | | |
|---------------------------|------|---------------|-----------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト* (参考) |
| H 0 1 L 27/115 | | H 0 1 L 27/10 | 4 3 4 5 F 0 0 1 |
| 21/8247 | | 29/78 | 3 7 1 5 F 0 8 3 |
| 29/788 | | | 5 F 1 0 1 |
| 29/792 | | | |

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願平11-342572

(22) 出願日 平成11年12月1日 (1999. 12. 1)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 信司

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

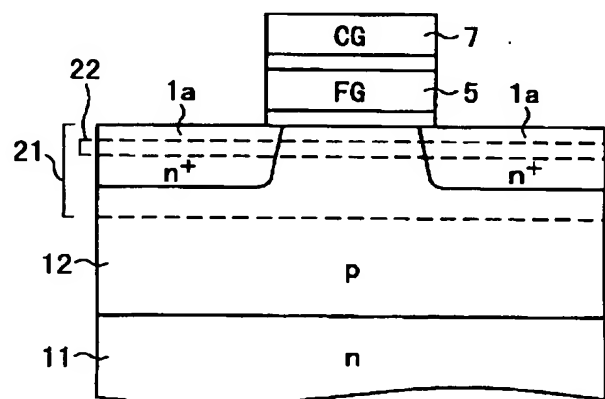
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 チャンネルブースト比を大きくして誤書き込みを確実に防止できるようにした不揮発性半導体記憶装置を提供する。

【解決手段】 セルフブースト書き込み方式のNAND型EEPROMにおいて、メモリセルはp型ウェル12に形成される。p型ウェル12にはメモリセルのしきい値制御のためにボロンをイオン注入したチャンネルイオン注入層21が形成され、このチャンネルイオン注入層21に重ねて、メモリセルのしきい値電圧に影響せずにチャンネル容量を低減するために、所定深さ位置に濃度ピークを持つように砒素をカウンタイオン注入したカウンタイオン注入層22が形成される。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に形成された第1導電型領域と、
この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、
前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、
前記第1導電型領域の表面部の、前記メモリセルのしきい値に影響を与えない深さ位置に前記第1のイオン注入層より低濃度に第2導電型不純物をイオン注入して形成された第2のイオン注入層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 半導体基板と、

この半導体基板に形成された第1導電型領域と、
この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、
前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、
前記第1導電型領域の表面部に第2導電型不純物をイオン注入して形成され、その第2導電型不純物のピーク濃度が、その第2導電型不純物のピーク濃度の深さの位置で前記第1導電型不純物の濃度を超えず、第2導電型不純物の前記半導体基板の表面における濃度が前記第1導電型不純物の前記半導体基板の表面における濃度より低い状態に形成された第2のイオン注入層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項3】 前記メモリセルアレイは、複数のメモリセルが直列接続されたNANDセルユニットがマトリクス配列され、各NANDセルユニットの一端は第1の選択ゲートトランジスタを介してビット線に接続され、他端は第2の選択ゲートトランジスタを介してソース線に接続され、各NANDセルユニットの複数のメモリセルの制御ゲートが別々のワード線に接続されていることを特徴とする請求項1又は2記載の不揮発性半導体記憶装置。

【請求項4】 前記第1導電型領域はp型層であり、前記メモリセルは前記第1導電型領域の表面をチャンネル領域として、このチャンネル領域上にゲート絶縁膜を介して電荷蓄積層と制御ゲートが積層され、且つn型のソース及びドレイン拡散層が形成されたnチャンネルトランジスタ構造を有し、
前記第1のイオン注入層はボロニオン注入層であり、前記第2のイオン注入層は砒素イオン注入層であることを特徴とする請求項1乃至3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】 前記第2のイオン注入層は、そのピーク濃度の位置が、制御ゲートにチャンネル反転層を形成する電圧を印加したときの基板内部に延びる空乏層の先端位

2

置近傍に設定されていることを特徴とする請求項1乃至3のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】 前記第2のイオン注入層は、そのピーク濃度の位置が、制御ゲートにチャンネル反転層を形成する電圧を印加したときの基板内部に延びる空乏層の先端より深く、メモリセルのソース、ドレイン拡散層の深さ方向の接合界面近傍に設定されていることを特徴とする請求項1乃至3のいずれかに記載の不揮発性半導体記憶装置。

【請求項7】 選択されたワード線に沿った第1のメモリセルのチャンネルを低電圧の固定状態、前記選択されたワード線に沿った第2のメモリセルのチャンネルをフローティング状態に設定し、この状態で前記選択されたワード線に高電圧を印加し、非選択ワード線に中間電圧を印加することにより、前記第1のメモリセルでゲート内部に電子注入されて書き込みが実行され、前記第2のメモリセルでは前記中間電圧による容量結合によるチャンネル電位上昇により書き込みが禁止される書き込み動作モードを有することを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項8】 半導体基板と、

この半導体基板に形成された第1導電型領域と、
この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、
前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、
前記第1導電型領域の表面部に、第2導電型不純物をイオン注入して、その第2導電型不純物のピーク濃度が、その第2導電型不純物のピーク濃度の深さの位置で前記第1導電型不純物の濃度を超えないように形成された第2のイオン注入層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項9】 半導体基板と、

この半導体基板に形成された第1導電型領域と、
この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、
前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、
前記第1導電型領域の表面部に第2導電型不純物をイオン注入して、その第2導電型不純物のピーク濃度がその第2導電型不純物のピーク濃度の深さの位置で前記第1導電型不純物の濃度より僅かに低く、前記第2導電型不純物の前記半導体基板の表面における濃度が前記第1導電型不純物の前記半導体基板の表面における濃度より1桁以上低い状態に形成された第2のイオン注入層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項10】 半導体基板と、

この半導体基板に形成された第1導電型領域と、

3

この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、

前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、

前記第1導電型領域の表面部に第2導電型不純物をイオン注入して、その第2導電型不純物のピーク濃度がその第2導電型不純物のピーク濃度の深さの位置で前記第1導電型不純物の濃度を越えない状態に形成された第2のイオン注入層とを備え、

前記第1導電型不純物の活性不純物濃度分布が、前記ピーク濃度の深さ位置に極小値を持つ双峰特性を示すことを特徴とする不揮発性半導体記憶装置。

【請求項11】 半導体基板のメモリセルアレイを形成すべき領域に第1導電型ウェルを形成する工程と、

前記第1導電型ウェルの表面部にメモリセルのしきい値電圧を制御するために第1導電型不純物をイオン注入するチャネルイオン注入工程と、

前記第1導電型領域の表面部のメモリセルのしきい値電圧に影響を与えない深さ位置に前記チャネルイオン注入工程より低濃度で第2導電型不純物をイオン注入するカウンタイオン注入工程と、

前記第1導電型ウェルに、その表面をチャネル領域とする電氣的書き換え可能なメモリセルを形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項12】 前記メモリセルアレイは、複数のメモリセルが直列接続されたNANDセルユニットがマトリクス配列され、各NANDセルユニットが選択ゲートトランジスタを介してビット線に接続され、各NANDセルユニットの複数のメモリセルの制御ゲートが別々のワード線に接続されたものであることを特徴とする請求項11記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にセルフブースト書き込み方式を用いるNAND型EEPROMに適用して有用な不揮発性半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】 NAND型EEPROMは、スタックゲート構造の複数のメモリセルを直列接続してなるNANDセルユニットをマトリクス配列してメモリセルアレイが構成される。NANDセルユニットのドレイン側は選択ゲートトランジスタを介してビット線に接続され、ソース側はやはり選択ゲートトランジスタを介して共通ソース線に接続される。NANDセルユニットの各メモリセルの制御ゲートはそれぞれ別のワード線（制御ゲート線）に接続される。

4

【0003】 この様なNAND型EEPROMの書き込み方式として、セルフブースト書き込み方式が従来より知られている。このセルフブースト書き込み方式を図38及び図39を用いて説明すると、次のようになる。図38は、メモリセルアレイの1ブロック内の二つのNANDセルユニットU1、U2の部分を示している。図39は書き込み時のタイミング図である。データ書き込みは通常、ブロック内の全メモリセルをしきい値が負の消去状態（データ“1”）にした後、ブロック内の共通ソース線SL側から順に書き込みを行う。図38では、ワード線WL2に沿ったメモリセルA（M21）に“0”書き込みを行う場合を示している。

【0004】 書き込みサイクルではまず、ソース側の選択ゲート線SG2に0V、ビット線側の選択ゲート線SG1にVccを与えた状態で、“0”書き込みを行うべきメモリセルA（M21）につながる選択ビット線BL1に0V（“0”データ）を与え、“1”書き込みを行うビット線（即ち、“0”書き込み禁止のビット線）BL2にはVccを与える。ビット線BL1側のNANDセルユニットU1の“0”書き込みを行うべきメモリセルA（M21）よりビット線側のメモリセルは全てしきい値が負の消去状態であるから、少なくともメモリセルAのチャネルまで0Vが転送される。

【0005】 一方ビット線BL2側のNANDセルユニットU2では、少なくともメモリセルC（M22）のチャネルまでビット線BL2の電位が転送されるが、そのチャネル電位がVcc-Vth（Vthは選択ゲートトランジスタS12のしきい値電圧）になると、選択ゲートトランジスタS12がカットオフする。即ち、NANDセルユニットU2側のチャネルはVcc-Vthに予備充電されてフローティングになる。

【0006】 この状態で、次に選択ワード線WL2に高電圧の書き込み電圧Vppを印加し、残りの非選択ワード線には、中間電圧であるパス電圧Vpass（Vpp>Vpass>Vcc）を与える。このとき選択メモリセルAでは、チャネル電位が0Vであるから、浮遊ゲートとチャネル間に大きな電圧が係り、浮遊ゲートに電子がトンネル注入されて、しきい値が正になる“0”書き込みが行われる。同じ書き込み電圧Vppが印加されるメモリセルBでは、チャネルがフローティングであるから、非選択セルに与えられるパス電圧Vpassによる容量結合によってチャネル電位が上昇し、浮遊ゲートへの電子注入は生じない。即ち“0”書き込みが禁止される。

【0007】 なお図39では、書き込み電圧Vpp及びパス電圧Vpassを一つのパルスで示しているが、実際にはステップアップ方式により、順次ステップアップされた書き込み電圧Vpp及びパス電圧Vpassが繰り返し与えられる。

【0008】 フローティングにしたチャネルの容量結合

5

による電位上昇は、図40に示すように、制御ゲートとチャンネル間の容量を $C1$ 、チャンネルとp型ウェル間の容量を $C2$ として、 $V_{ch} = C1 \cdot V_{cg} / (C1 + C2)$ で表される。この容量結合比（チャンネルブースト比或いはブート比） $C1 / (C1 + C2)$ を例えば、0.5程度にすれば、メモリセルBのチャンネルは約 $V_{pp}/2$ まで上昇し、“0”書き込みが防止される。NANDセルユニットU2の他のメモリセルについても同様に、容量結合によるチャンネル電位上昇により、誤書き込みは生じない。また、NANDセルユニットU1の非選択メモリセル、例えばメモリセルC（M31）では、バス電圧 V_{pass} を電子注入が生じるには不十分な値に設定することにより、やはり“0”書き込みは生じない。

【0009】

【発明が解決しようとする課題】セルフブースト書き込み方式では、上の説明から明らかなように、非選択メモリセルでの誤書き込み防止のためには、チャンネルブースト比と非選択ワード線に与えるバス電圧 V_{pass} の関係が重要である。しかし、従来のNAND型EEPROMでは、チャンネルブースト比を十分に大きくとることができず、このためにバス電圧 V_{pass} の選択幅が狭いという問題があった。この点を具体的に図41(a)を参照して説明する。

【0010】図41(a)は、図38で説明した非選択メモリセルB、Cの誤書き込みの特性をバス電圧 V_{pass} との関係で示している。縦軸は、上述した選択メモリセルAの書き込み時に非メモリセルB、Cで生じるしきい値電圧の変動を示している。但し、メモリセルBについては、実線がNANDセルユニットU2内のメモリセルが全て“1”の消去状態にある場合を示し、波線はワード線WL3以下の既書き込みがなされたメモリセル（例えば、M32）に“0”書き込みされている場合を示している。

【0011】メモリセルBについては、上述のようにチャンネルブーストにより書き込み禁止されるから、バス電圧 V_{pass} が高いほど、誤書き込みが生じない。バス電圧 V_{pass} が低いと、チャンネル電位の上昇が不十分になり、誤書き込みが生じてしきい値が上昇する。既に“0”データが書かれたメモリセルがある場合には、バス電圧 V_{pass} の印加によりそのメモリセルがオンになるまで、非選択ワード線のバス電圧 V_{pass} によるチャンネル電位上昇が起こらない。このため、波線で示すように、全てのメモリセルが“1”データである場合（実線）に比べてより高いバス電圧で誤書き込みが発生しやすい。一方、メモリセルCについては、バス電圧 V_{pass} が高くなるほど浮遊ゲートとチャンネル間の電圧が大きくなるから、誤書き込みが生じやすい。従って、メモリセルBとは誤書き込みによるしきい値変動が逆特性を示す。

【0012】以上のように、メモリセルBに対する誤書

6

き込み防止のためにはバス電圧 V_{pass} を高くすることが必要であり、メモリセルCに対する誤書き込み防止のためにはバス電圧 V_{pass} を低くすることが必要である。図41(a)に示すように、“1”データと“0”データの境界となるしきい値が二点鎖線の位置であるとする、バス電圧 V_{pass} として選択できるのは、図41(a)に矢印で示す範囲bという狭い範囲に限られることになる。

【0013】一方、データ書き込み時におけるメモリセルのしきい値変動は、メモリセルのゲート幅、ゲート長、ウイング幅（素子分離領域上に延びる浮遊ゲート電極幅）、トンネル酸化膜厚、浮遊ゲートと制御ゲート間の絶縁膜厚、等のばらつきの影響も受ける。即ち、バス電圧を最適設定したとしても、製造プロセスによる素子寸法のばらつきにより、非選択メモリセルでの誤書き込みが発生する。

【0014】更に、データ書き込み時、メモリセルアレイの中の選択ブロック内の全メモリセルに対して書き込み電圧 V_{pp} やバス電圧 V_{pass} を与えるから、メモリセル寸法のばらつきの影響は、1ブロック内のメモリセル数が多いほど大きい。従って、メモリセルを微細化し、NANDセルユニット内のメモリセル数を多くすると、誤書き込みが生じやすくなる。つまり、誤書き込みの問題は、メモリセルの微細化を妨げる原因となっている。

【0015】また、メモリセルの微細化が進むにつれて、選択ゲートトランジスタのソース、ドレイン間耐圧も問題になる。このソース、ドレイン間耐圧を十分確保するためには、メモリセルや選択ゲートトランジスタのチャンネル領域に注入する不純物量（チャンネルイオン注入量）を多くすることが必要になる。微細化したメモリセルや選択ゲートトランジスタのしきい値を十分高く確保するためにも、同様に十分なチャンネルイオン注入量が必要である。メモリセルがnチャンネルの場合、チャンネルイオン注入には通常ボロンが用いられる。ボロンは拡散係数が大きく、その後の熱工程により深く拡散するため、この熱拡散を考慮してイオン注入量が定められる。しかし、ボロンのチャンネルイオン注入層は、上述した拡散の結果、緩やかな濃度分布を示し、これがチャンネル容量を大きいものとする。そしてチャンネル容量が大きいと、前述のようにチャンネルブースト比は小さくなるため、誤書き込みが生じ易くなる。

【0016】更に、メモリセルの高集積化に伴い、STI構造の素子分離領域の深さが浅くなると、パンチスルーやフィールド反転等により、素子分離領域を挟むメモリセル間のリーク電流が発生する。このリーク電流を防止するためには、素子分離領域底部の不純物濃度を高くしたり、ウェルの不純物濃度を高くすることが必要になる。しかしこれらもチャンネルブースト比の低下につながる。

7

【0017】この発明は、上記事情を考慮してなされたもので、チャネルブースト比を大きくして誤書き込みを確実に防止できるようにした不揮発性半導体記憶装置とその製造方法を提供することを目的としている。

【0018】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、半導体基板と、この半導体基板に形成された第1導電型領域と、この第1導電型領域に形成された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、前記第1導電型領域の表面部に、前記メモリセルのしきい値制御のための第1導電型不純物をイオン注入して形成された第1のイオン注入層と、前記第1導電型領域の表面部の、前記メモリセルのしきい値に影響を与えない深さ位置に前記第1のイオン注入層より低濃度に第2導電型不純物をイオン注入して形成された第2のイオン注入層と、を有することを特徴とする。

【0019】この発明が適用される不揮発性半導体記憶装置のメモリセルアレイは、好ましくは、複数のメモリセルが直列接続されたNANDセルユニットがマトリクス配列され、各NANDセルユニットの一端は第1の選択ゲートトランジスタを介してビット線に接続され、他端は第2の選択ゲートトランジスタを介してソース線に接続され、各NANDセルユニットの複数のメモリセルの制御ゲートが別々のワード線に接続されているものとする。また発明が適用される不揮発性半導体記憶装置は、好ましくは上述したメモリセルアレイ構成を有し、且つ選択されたワード線に沿った第1のメモリセルのチャネルを低電圧の固定状態、前記選択されたワード線に沿った第2のメモリセルのチャネルをフローティング状態に設定し、この状態で前記選択されたワード線に高電圧を印加することにより、前記第1のメモリセルでゲート内部に電子注入されて書き込みが実行され、前記第2のメモリセルでは容量結合によるチャネル電位上昇により書き込みが禁止される書き込み動作モードを有するものとする。

【0020】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板のメモリセルアレイを形成すべき領域に第1導電型ウェルを形成する工程と、前記第1導電型ウェルの表面部にメモリセルのしきい値電圧を制御するために第1導電型不純物をイオン注入するチャネルイオン注入工程と、前記第1導電型領域の表面部のメモリセルのしきい値電圧に影響を与えない深さ位置に前記チャネルイオン注入工程より低濃度で第2導電型不純物をイオン注入するカウンタイオン注入工程と、前記第1導電型ウェルに、その表面をチャネル領域とする電氣的書き換え可能なメモリセルを形成する工程と、を有することを特徴とする。

【0021】この発明によると、メモリセルのしきい値制御のための第1のイオン注入層（チャネルイオン注入層）の表面より所定深さ位置にピーク濃度を持つ、チャ

8

ネルイオン注入層とは逆導電型で且つ低濃度の第2のイオン注入層（カウンタイオン注入層）を形成することにより、メモリセルのしきい値に殆ど影響を与えることなく、チャネル容量を小さくすることができる。これにより、セルフブースト書き込み方式でのチャネルブースト比を大きく確保することができ、誤書き込みを確実に防止することができる。カウンタイオン注入層のより具体的な条件としては、ピーク濃度がそのピーク濃度の深さ位置でチャネルイオン注入層の濃度を超えず、且つ表面濃度がチャネルイオン注入層の表面濃度より十分に低い状態、例えば1桁以上低い状態に形成することが重要である。この様な条件により、カウンタイオン注入によるチャネルイオン注入層の活性不純物濃度に対する補償効果は、基板の表面では実質的に無視でき、内部でのみ有効にすることができる。即ちこの様なカウンタイオン注入によって、しきい値変動を防止しながら、チャネル容量を小さくすることができる。

【0022】具体的にメモリセルがnチャネルの場合、チャネルイオン注入層にはボロン（B）が用いられ、カウンタイオン注入層には好ましくは砒素（As）が用いられる。この場合、Asの拡散係数はBに比べて十分小さいため、チャネル表面から所定の深さ位置にピーク濃度を持つシャープな濃度分布のカウンタイオン注入層を得ることができる。従って、カウンタイオン注入層を形成してもメモリセルのしきい値電圧は殆ど影響を受けないようにすることができる。即ち、チャネルイオン注入により所望のしきい値電圧を確保しながら、カウンタイオン注入層によってチャネル容量を小さくすることが可能である。

【0023】更に具体的に、カウンタイオン注入層は、そのピーク濃度の位置が、制御ゲートにチャネル反転層を形成する電圧を印加したときの基板内部に延びる空乏層の先端位置近傍に設定することが好ましい。これにより、カウンタイオン注入層を形成することによるメモリセルのしきい値変動は殆ど無視できることになる。カウンタイオン注入層によるメモリセルのしきい値変動をより確実に防止するには、カウンタイオン注入層を、そのピーク濃度の位置が、制御ゲートにチャネル反転層を形成する電圧を印加したときの基板内部に延びる空乏層の先端より深く、メモリセルのソース、ドレイン拡散層の深さ方向の接合界面近傍に設定すればよい。この場合、カウンタイオン注入層を設けたことによるゲート電極下の空乏層の伸び方に変化がなくなる。しかし、チャネルブースト比に効くチャネル容量には、チャネル領域のみの容量の他、ソース、ドレイン拡散層とウェル間の接合容量も含まれるから、ソース、ドレイン拡散層の深さ方向の接合界面近傍にカウンタイオン注入層を設ければ、チャネル容量の低減が可能である。

【0024】

【発明の実施の形態】以下、図面を参照して、この発明

9

の実施の形態を説明する。

【実施の形態 1】図 1 は、この発明の実施の形態に係る NAND 型 EEPROM のメモリセルアレイを示している。メモリセルアレイは、NAND セルユニットがマトリクス配列されて構成されている。一つの NAND セルユニットは、複数個（図 1 の場合、16 個）の直列接続されたメモリセル M0～M15 とその両端に接続された選択ゲートトランジスタ S1、S2 とからなる。一方の選択ゲートトランジスタ S1 のドレインはビット線 BL に接続され、他方の選択ゲートトランジスタ S2 のソースは共通ソース線に接続されている。

【0025】ロウ方向に並ぶメモリセル M の制御ゲートは共通に制御ゲート線 CG0～CG15（即ちワード線 WL0～WL15）に接続されている。選択ゲートトランジスタ S1、S2 のゲート電極も同様にロウ方向に共通接続されて、選択ゲート線 SGD、SGS が配設される。メモリセルアレイの 1 ワード線の範囲がデータ書き込み及び読み出しの単位となる 1 ページとなる。ワード線方向に並ぶ NAND セルユニットの範囲がデータ消去の最小単位である 1 ブロックとなる。

【0026】図 2 は、メモリセルアレイのレイアウトを示し、図 3 A および図 3 B はそれぞれ図 2 の A-A'、B-B' 断面図を示している。p 型シリコン基板 10 に n 型ウェル 11 が形成され、この n 型ウェル 11 内には p 型ウェル 12 が形成されており、メモリセルアレイはこの p 型ウェル 12 に形成されている。p 型ウェル 12 は、STI（Shallow Trench Isolation）によりシリコン酸化膜が埋め込まれた素子分離領域 3a によってストライプ状の素子領域 2 が区画される。この素子領域 2 にメモリセル及び選択ゲートトランジスタが形成される。

【0027】メモリセルは、p 型ウェル 12 の表面にトンネル酸化膜 4 を介して形成された電荷蓄積層としての浮遊ゲート 5 と、この浮遊ゲート 5 上にゲート間絶縁膜 6 を介して形成された制御ゲート 7 と、この制御ゲート 7 に自己整合されて形成されたソース、ドレイン拡散層 1a とを有する。浮遊ゲート 5 は各メモリセル毎に分離され、制御ゲート 7 は一方向に連続的に形成されて制御ゲート線 CG（ワード線 WL）となる。選択ゲートトランジスタもメモリセルと同様の構造を有するが、下層電極 5 と上層電極 7 とは適当な位置でコンタクトをとって連続的に配設されて、選択ゲート線 SGD、SGS となる。

【0028】メモリセルが形成された基板は層間絶縁膜 8 により覆われる。層間絶縁膜 8 には、NAND セルユニットの両端の拡散層 1a に接続されるコンタクトプラグ 14、16 が埋め込まれ、これらに接続される共通ソース線 15 及びビット線 9 が形成される。

【0029】この実施の形態による EEPROM は、セルフブースト書き込み方式を適用した場合に有効なものであるが、その際の誤書き込みを防止するために、メモ

10

リセルのチャネル領域の不純物濃度分布に、チャネル容量を小さくするための工夫が加えられている。即ちメモリセルアレイ領域には、従来と同様にメモリセル及び選択ゲートトランジスタのしきい値を調整するためのチャネルイオン注入が行われるが、これに加えて、カウンタイオン注入が行われる。具体的な製造工程は後述するが、チャネルイオン注入には、p 型不純物であるボロン（B）が用いられ、カウンタイオン注入には n 型不純物である砒素（As）が用いられる。

【0030】図 4 A は、この実施の形態でのメモリセルの断面構造を示している。図 4 A に示すように、メモリセルアレイ形成領域である p 型ウェル 12 の表面部には、しきい値制御のためのチャネルイオン注入層 21 が形成され、これに重ねて表面から所定深さ位置に濃度ピークを持つようなカウンタイオン注入層 22 が形成される。

【0031】図 5 は、図 4 A のメモリセル構造における基板領域の表面から深さ方向の不純物濃度分布を示している。図 5 の不純物濃度分布は、素子工程終了後の最終的なものである。チャネルイオン注入層 21 は、素子形成工程での熱工程による拡散を考慮して、最終的にしきい値制御に必要な破線で示す表面不純物濃度を持つように形成される。そして、チャネルイオン注入層 21 に重ねて、表面から所定深さ x の位置に鋭いピークを持つように、やはり破線で示す As のカウンタイオン注入層 22 が形成される。カウンタイオン注入層 22 のピーク濃度は、そのピーク濃度の深さ位置でチャネルイオン注入層 21 の濃度より僅かに低いものとし、且つ表面濃度はチャネルイオン注入層 21 の表面濃度より 1 桁以上低いものとする。この様な表面濃度関係を満たすことにより、チャネルイオン注入層の表面の活性不純物濃度に対するカウンタイオン注入層 22 による補償効果が実質的に無視できる。

【0032】この様なカウンタイオン注入層 22 の形成により、メモリセルのチャネル領域における活性 p 型不純物濃度分布（即ちキャリア濃度分布）は、図 5 に実線で示すようになる。即ち As のカウンタイオン注入による補償効果により、活性不純物濃度分布は、カウンタイオン注入層 22 のピーク位置で極小値を示す双峰特性となる。p 型ウェル 12 の表面での活性不純物の濃度は、チャネルイオン注入層 21 の表面濃度により決まり、カウンタイオン注入層 22 により殆ど影響を受けないようにすることが重要である。これは、メモリセルのしきい値がチャネルイオン注入層 21 のみに決まり、カウンタイオン注入層 22 により変動しないようにするためである。そのために前述のように、カウンタイオン注入層 22 の表面濃度はチャネルイオン注入層 21 の表面濃度より 1 桁以上低いものとしている。このようなカウンタイオン注入層 22 の制御は、拡散係数の小さい As を用いることにより可能である。

11

【0033】カウンタイオン注入層22は、上述のようにメモリセルのしきい値変動を防止しながら、同時にメモリセルのチャネル容量を小さくするために形成される。この様な目的から、カウンタイオン注入層22の深さ x は、好ましくは、メモリセルの制御ゲートに、チャネル反転層が形成される大きさの正電圧を印加したときにチャネル領域に伸びる空乏層の先端位置（最大空乏層幅）近傍とする。カウンタイオン注入層の位置を最大空乏層幅位置とする理由は、しきい値への影響を最小限に抑えることと、チャネル容量を小さくすること、の二つである。最大空乏層幅を越える深さにカウンタイオン注入層を形成しても、空乏層が延びる領域の平均的な活性不純物濃度に変化がないため、チャネル容量を小さくすることができない。以上の様なカウンタイオン注入の条件を満たすことにより、しきい値変動を防止しながら、チャネル容量を小さくすることができる。

【0034】より具体的に説明する。図6にメモリセル領域のバンド図を示したようには、制御ゲートに電圧 V_g を印加することにより、チャネル領域に空乏層が伸び、チャネル反転層が形成される制御ゲート電圧で最大空乏層幅 W_m となる。このとき基板領域の表面電位を ϕ_s とすると、最大空乏層幅 W_m は、 $W_m^2 = 2 \epsilon_s \phi_s / q N$ と表される。 ϵ_s はシリコンの比誘電率であり、 N はp型チャネル領域の活性不純物濃度である。従って、カウンタイオン注入層22の深さ x は、ほぼ $x = W_m$ を満たすようにする。カウンタイオン注入層22の深さ x の好ましい数値例を挙げれば、0.1~0.15 μm 程度となる。

【0035】以上のようにこの実施の形態によると、メモリセルアレイ領域にカウンタイオン注入を行うことにより、メモリセルのしきい値電圧を高く保持しながら、チャネル容量を小さくすることができる。これにより、セルフブースト書き込み方式を適用したときに、従来より大きなチャネルブースト比が得られ、非選択メモリセルでの誤書き込みを防止することができる。

【0036】この実施の形態によるメモリセルの誤書き込み特性を、従来例の図41(a)と比較して示すと、図41(b)のようになる。メモリセルAが選択されたときにチャネルブーストにより書き込みが禁止される非選択メモリセルBについて、誤書き込み特性が改善されている。即ち、図38のメモリセルBより下に“0”書き込みがされたメモリセルがない場合、図41(b)に実線で示すように、誤書き込みが生じ難くなり、図41(a)の従来例に比べてしきい値増加の傾斜が急峻になっている。これは、メモリセルBのチャネル容量の低下によるチャネルブースト比の増加の結果である。図38のメモリセルBより下に“0”書き込みがされたメモリセルがある場合にも、破線で示すように、同様の理由で、従来例に比べて傾斜が急峻になっている。メモリセルCについては、書き込み禁止がチャネルブーストによ

12

るものではないため、従来例の図41(a)の場合と実施の形態の図41(b)の場合とに差はない。

【0037】〔実施の形態2〕上記実施の形態では、カウンタイオン注入層22の深さを、制御ゲートに正電圧を印加したときの最大空乏層幅 W_m の位置近傍に設定した。これに対して、図4Bに示すように、カウンタイオン注入層22のピーク濃度位置が、最大空乏層幅位置より深く、メモリセルのソース、ドレイン拡散層1aとp型ウェル12の接合界面近傍になるように設定しても良い。

【0038】前述のように、カウンタイオン注入層22のピーク位置を最大空乏層幅の位置に設定したのは、しきい値にはできる限り影響を与えずチャネル容量を下げるためである。しかしチャネルブーストに効くメモリセルのチャネル容量には、厳密な意味でのチャネル領域のみの容量だけでなく、ソース、ドレイン拡散層とp型ウェルとの間のpn接合容量も入っている。従って、図4Aに示すように、カウンタイオン注入層22をより深く形成しても、同様にチャネルブースト比の増大に効果がある。そしてこの場合には、カウンタイオン注入層22はメモリセルのしきい値に殆ど影響を与えない。

【0039】〔実施の形態3〕次に、この発明による製造方法の実施の形態を、図7以下の図面を用いて説明する。以下の各断面図には、図1におけるロウ方向の選択ゲート部及び制御ゲート部の断面と、カラム方向のNANDセルユニット部の断面を示している。なお、以下に説明する製造方法では、メモリセル及び選択ゲートトランジスタがそれぞれNチャネル型である場合を例にする。不純物の種類やイオン注入条件（ドーズ量、加速電圧など）を変えることにより、Pチャネル型の場合にも適用することが可能である。また、メモリセルアレイ部の周辺に形成されるいわゆる周辺回路部についても、メモリセルアレイ部の形成と並行して形成されるが、周辺回路部の製造方法の説明は、省略する。

【0040】まず、図7に示すように、p型シリコン基板40上に熱酸化により厚さ約10nmのシリコン酸化膜41aを形成する。n型ウェル形成用のマスクを用いて、シリコン基板40中にn型不純物（例えば、リン(P)）をイオン注入し、図8に示すように、n型ウェル領域42を形成する。具体的に、n型ウェル領域42は、例えば、1.5[MeV]の加速エネルギー、 $4.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、リンをシリコン基板40中にイオン注入することにより形成される。

【0041】n型ウェル領域42の形成は、例えば、2段階のイオン注入により実現してもよい。例えば、第1段階では、1.5[MeV]の加速エネルギー、 $4.0 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で、リンをシリコン基板中にイオン注入し、第2段階では、750[KeV]の加速エネルギー、 $8.0 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で、リンをシリコン基板中にイオン注入する。

13

【0042】次に、p型ウェル形成用のマスクを用いて、シリコン基板40中にp型不純物（例えば、ホウ素（B））をイオン注入し、図8に示すように、p型ウェル領域43を形成する。p型ウェル領域43は、例えば、300 [KeV]の加速エネルギー、 $3.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、ホウ素をシリコン基板40中にイオン注入することにより形成される。

【0043】p型ウェル領域43の形成は、例えば、2段階のイオン注入により実現してもよい。例えば、第1段階では、400 [KeV]の加速エネルギー、 $4.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、ホウ素をシリコン基板中にイオン注入し、第2段階では、200 [KeV]の加速エネルギー、 $1.0 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で、ホウ素をシリコン基板中にイオン注入する。また、p型ウェル領域43の内部には、p型ウェル領域43よりも不純物濃度が高いp型フィールド領域を形成してもよい。

【0044】この後、p型ウェル領域43の表面部に対して、メモリセルのしきい値制御のためのチャネルイオン注入と、このチャネルイオン注入の基板内部での影響を低減させるためのカウンタイオン注入を行う。即ち、図8に示すように、ボロンをイオン注入してチャネルイオン注入層44aを形成する。続いて、内部に濃度ピークを持つように砒素（As）をイオン注入して、カウンタイオン注入層44bを形成する。チャネルイオン注入層44aは例えば、10～30 [KeV]の加速エネルギー、 $3.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する。カウンタイオン注入層44bは例えば、250～450 [KeV]（好ましくは、350 [KeV]）の加速エネルギー、 $1 \times 10^{12} \text{ cm}^{-2} \sim 5 \times 10^{13} \text{ cm}^{-2}$ （好ましくは、 $6 \times 10^{13} \text{ cm}^{-2}$ ）のドーズ量でイオン注入する。

【0045】以上のようなイオン注入条件により、カウンタイオン注入層44bとしては、その濃度がチャネルイオン注入層44aよりは低く、濃度ピーク位置がp型ウェル43の表面から0.1～0.15 μm 程度になるようにする。チャネルイオン注入層44bの濃度ピークの位置での濃度は、チャネルイオン注入層44aの濃度より僅かに低く、この濃度ピーク位置近傍のみでカウンタイオン注入層44bの補償効果が有効になるようにすることが重要である。これにより、前述したように、メモリセルのしきい値はチャネルイオン注入層44aによりほぼ決定され、カウンタイオン注入層44bによりチャネル容量を下げるができる。

【0047】この後、シリコン酸化膜41aは、除去する。なお、上述のチャネルイオン注入及びカウンタイオン注入は、シリコン酸化膜41aを除去した後にしてもよい。即ち、シリコン酸化膜41aを除去した後に、再び、熱酸化により、p型シリコン基板40上に厚さ約10 nmのシリコン酸化膜を形成し、チャネルイオン注入のためのパターンニングを行う。そして、例えば、上述

14

した条件でチャネルイオン注入とカウンタイオン注入を行う。その後、シリコン酸化膜を剥離する。

【0048】次に、図9に示すように、温度約750℃の酸素雰囲気中において熱酸化を行い、シリコン基板40上にトンネル酸化膜である厚さ約8 nmのシリコン酸化膜41を形成する。シリコン酸化膜41を形成した後、このシリコン酸化膜41の信頼性を向上させるために、好ましくは窒素雰囲気中で熱処理を行う。続いて、CVD法を用いて、シリコン酸化膜41上に、n型不純物（例えば、リン）を約 $2 \times 10^{20} \text{ cm}^{-3}$ 含む厚さ約50 nmのn型ポリシリコン膜45を形成する。この後さらに、例えば、CVD法を用いて、ポリシリコン膜45上に厚さ約100 nmのシリコン窒化膜46を形成する。続けて、例えば、CVD法を用いて、シリコン窒化膜46上に厚さ約150 nmのシリコン酸化膜（TEOS膜）47を形成する。

【0049】その後、PEP（写真蝕刻工程）により、シリコン酸化膜47上にレジストパターンを形成する。このレジストパターンをマスクにして、RIE（反応性イオンエッチング）法により、シリコン酸化膜47をエッチングする。更に、シリコン酸化膜47をマスクにして、RIE法により、シリコン窒化膜46をエッチングした後、シリコン酸化膜47を除去する。続いて、シリコン窒化膜46をマスクにして、RIE法により、ポリシリコン膜45及びシリコン酸化膜41を順次エッチングする。また、シリコン窒化膜46をマスクにしてシリコン基板40をエッチングする。これにより、図10に示すように、シリコン基板40に、素子委分離用のトレンチ48を形成する。このトレンチ48の深さは、例えば、0.3 μm 程度である。

【0050】次に、図11に示すように、例えば、CVD法を用いて、シリコン窒化膜46上に、トレンチ48を完全に満たすような厚さ約800 nmのTEOS酸化膜49を形成する。この後、CMP（化学的機械的研磨）法を用いて、酸化膜49を研磨し、トレンチ48内のみに酸化膜49を残存させ、STI（Shallow Trench Isolation）構造の素子分離領域を完成させる。シリコン窒化膜46は、CMP時のエッチングストップとして機能するため、TEOS酸化膜49の表面は、シリコン窒化膜46の表面にほぼ一致している（一般には、TEOS膜49の表面は、シリコン窒化膜46の表面よりも少し低くなる）。この後、シリコン窒化膜46は、除去される。

【0051】次に、図12に示すように、例えば、CVD法を用いて、ポリシリコン膜45上に、ポリシリコン膜45と共に浮遊ゲートを構成するための厚さ約100 nmのポリシリコン膜50を形成する。この後、例えば、熱拡散法により、ポリシリコン膜50中に、n型不純物（例えば、リン）を約 $2 \times 10^{20} \text{ cm}^{-3}$ 導入し、ポリシリコン膜50を低抵抗化する。

15

【0052】次に、図13に示すように、例えば、CVD法により、ポリシリコン膜50上に厚さ約200nmのシリコン窒化膜51を形成する。このシリコン窒化膜51をパターンニングし、ソース側及びドレイン側の選択ゲートトランジスタが形成される領域を除き、シリコン窒化膜51にカラム方向に延在する、浮遊ゲート分離用のスリットを形成する。なお、スリットの幅（ロウ方向の幅）は、200～300nmである。さらに、CVD法により、シリコン窒化膜51上に厚さ約80nmのシリコン窒化膜52を形成する。そしてこのシリコン窒化膜52をRIEによりエッチングして、図13に示すように、シリコン窒化膜51のスリットの側壁のみに残存させる。

【0053】この後、シリコン窒化膜51、52をマスクにして、RIEによりポリシリコン膜50をエッチングし、図14に示すように、ポリシリコン膜50に、スリット状の開口53を形成する。開口53の幅（ロウ方向の幅）は、STI構造による素子分離領域幅（ロウ方向の幅）よりも狭くなっているため、ポリシリコン膜45、50の積層膜からなる浮遊ゲートは、ウイング状となる。この後、シリコン窒化膜51、52は、除去される。

【0054】次に、図15に示すように、ポリシリコン膜50上に、浮遊ゲートと制御ゲートの間のゲート間絶縁膜となる絶縁膜54を形成する。この絶縁膜54は、例えば、厚さ約5nmのシリコン酸化膜、厚さ約8nmのシリコン窒化膜、厚さ約5nmのシリコン酸化膜から構成される（いわゆるONO膜）。更に、CVD法により、絶縁膜54上に、厚さ約150nmのポリシリコン膜55を形成する。また、熱拡散法により、ポリシリコン膜55中に約 $3.6 \times 10^{20} \text{ cm}^{-3}$ のn型不純物（例えば、リン）を導入し、ポリシリコン膜55の低抵抗化を図る。

【0055】次に、図16に示すように、例えば、CVD法を用いて、ポリシリコン膜55上に、n型不純物を含んだ厚さ約100nmのポリシリコン膜56を形成する。更に、CVD法を用いて、ポリシリコン膜56上に厚さ約200nmのタングステンシリサイド（WSi）膜57を形成する。続けて、CVD法により、タングステンシリサイド膜57上に厚さ約100nmのシリコン窒化膜58を形成する。また、CVD法により、シリコン窒化膜58上に厚さ約100nmのシリコン酸化膜（TEOS膜）59を形成する。

【0056】この後、PEP（写真蝕刻工程）により、シリコン酸化膜59上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEによりシリコン酸化膜59をエッチングする。また、シリコン酸化膜59をマスクにして、RIEによりシリコン窒化膜58をエッチングした後、シリコン酸化膜59は、除去される。次に、図17乃至図19に示すように、パターンニ

16

グされたシリコン窒化膜58をマスクにして、RIEにより、タングステンシリサイド膜57、ポリシリコン膜56、55を順次エッチングする。これにより、ロウ方向に伸びるワード線となるコントロールゲート電極CG0～CG15及び選択ゲート電極SGS（上）、SGD（上）が完成する。

【0057】選択ゲート電極SGS（上）、SGD（上）については、コンタクト領域を配置する部分が除去され、かつ、その部分においてカラム方向に90°に折り曲がったパターンで形成される。また、コンタクト領域を配置する部分においては、隣りのセレクトゲート電極SGS（上）、SGD（上）についても取り除かれる。また、コントロールゲート電極CG0～CG15の幅及び間隔は、それぞれ例えば、0.2μmに設定される。

【0058】次に、図20乃至図24に示すように、PEPにより、コンタクト領域を配置する部分にレジストパターン90を形成する。このレジストパターン90及びシリコン窒化膜58をマスクにして、RIEにより、絶縁膜54、ポリシリコン膜50、45を順次エッチングする。これにより、ロウ方向に伸びるフローティングゲートFGと、選択ゲート電極SGS（下）、SGD（下）（ゲート領域及びコンタクト領域）が完成する。この後、レジストパターン90は、除去される。

【0059】次に、図25に示すように、p型ウェル領域43にn型不純物（例えば、リン）をイオン注入し、ゲートにセルフアラインされたソース、ドレインとなるn型拡散層61、61a、61bを形成する。拡散層61aは、NANDセルユニットのソースとなり、拡散層61bは、NANDセルユニットのドレインとなる。

【0060】この後、図26に示すように、厚さ約1.45μmのBPSG膜62を形成する。また、CMP法を用いて、BPSG膜62を約0.4μm研磨し、BPSG膜62の表面を平坦にする。なおBPSG膜62の形成に先だって、コントロールゲート電極CG0～CG15、セレクトゲート電極SGS、SGD及びフローティングゲート電極FGの側壁に、シリコン窒化膜等による側壁絶縁膜を形成してもよい。

【0061】次に、図27乃至図33に示すように、BPSG膜62上にエッチングストップとしてのシリコン窒化膜91を形成する。続けて、シリコン窒化膜91上にTEOS酸化膜64を形成する。続いて、PEPによりレジストパターンを形成する。このレジストパターンをマスクにして、RIEによりTEOS酸化膜64をエッチングし、TEOS酸化膜64に配線溝を形成する。この時、シリコン窒化膜91は、RIEにおけるエッチングストップとして機能する。この後、レジストパターンが除去される。

【0062】再び、PEPによりレジストパターンを形成する。このレジストパターンをマスクにして、RIE

17

により、BPSG膜62、シリコン窒化膜60及びシリコン酸化膜41に、拡散層（ソース）61a、拡散層（ドレイン）61bに達するコンタクトホールS、Dを形成する。同時に、このRIEにより、第一層目のセレクトゲート電極SGS（下）、SGD（下）のコンタクト領域に達するコンタクトホールSS、SDを形成する。この後、レジストパターンが除去される。

【0063】この後、配線溝の内面及びコンタクトホールの内面に、例えば、チタンと窒化チタンの積層からなるバリアメタル65A～65Eを形成する。また、TEOS酸化膜64上に、配線溝及びコンタクトホールを完全に満たすタングステン膜66A～66Eを形成する。このタングステン膜66A～66Eを、CMP法により研磨し、配線溝及びコンタクトホール内のみに残すと、NANDセルユニットのソースに接続されるソース配線SL、NANDセルユニットのドレインに接続される配線65B、66B、ドレイン側セレクトゲート電極SGD（下）に接続される配線SDL、及びその他の配線65D、66D、SSLが形成される。

【0064】次に、図34乃至図36に示すように、TEOS酸化膜64上にTEOS酸化膜92を形成する。TEOS膜92上にエッチングストップとしてのシリコン窒化膜93を形成する。続けて、シリコン窒化膜93上にTEOS膜94を形成する。この後、PEPによりレジストパターンを形成する。このレジストパターンをマスクにして、RIEによりTEOS膜94をエッチングし、TEOS膜94に、ビット線やダミービット線などのための配線溝を形成する。この時、シリコン窒化膜93は、RIEにおけるエッチングストップとして機能する。この後、レジストパターンが除去される。

【0065】再び、PEPによりレジストパターンを形成する。このレジストパターンをマスクにして、RIEにより、シリコン窒化膜93及びTEOS膜92に、配線65B、66Bに達するコンタクトホールB及びその他のコンタクトホールSS1、SS2を形成する。この後、レジストパターンが除去される。

【0066】この後、配線溝の内面及びコンタクトホールの内面に、例えば、チタンと窒化チタンの積層からなるバリアメタル68を形成する。また、TEOS膜94上に、配線溝及びコンタクトホールを完全に満たす金属膜（例えば、アルミニウム膜）69を形成する。この金属膜69を、CMP法により研磨し、配線溝及びコンタクトホール内のみに残すと、複数のビット線BL、及びソース側セレクトゲート電極SGS（下）を配線SSLに接続するための配線95が形成される。これらの配線上には、更にシリコン窒化膜からなるパッシベーション膜が形成され、NAND型EEPROMが完成する。

【0067】以上のようにこの実施の形態の製造工程によると、NAND型EEPROMのメモリセルアレイ領域に対して、チャンネルイオン注入工程と重ねて、カウ

18

タイオン注入工程を付加することにより、メモリセルのしきい値に影響を与えずにメモリセルのチャンネル容量を下げるができる。これにより、前述したように、セルフブースト書き込み方式を適用したときに、チャンネルブースト比を上げて、非選択メモリセルでの誤書き込みを確実に防止することが可能になる。

【0068】〔実施の形態4〕ここまでの実施の形態では、セルフブースト書き込み方式のNAND型EEPROMを説明したが、この発明によるメモリセル構造及び上述の製造方法は、セルフブースト書き込み方式の変形である、いわゆるローカルセルフブースト（Local Self Boost）書き込み方式のNAND型EEPROMにも同様に適用が可能である。

【0069】図37は、ローカルセルフブースト書き込み方式による書き込み動作においてメモリセルに与える電位の一例を示している。ローカルセルフブースト（以下、LSB）書き込み方式では、まず、ビット線側のセレクトゲート線SG1に電源電位Vccを与え、ソース線側のセレクトゲート線SG2に0[V]を与える。

“0”書き込みを行うメモリセルを含むNANDセルユニットU1内の選択メモリセルM21のチャンネルには、ビット線BL1から0[V]が伝達される。“1”書き込みを行うメモリセルを含むNANDセルユニットU2内の選択メモリセルM22のチャンネルには、ビット線BL2からVcc-Vthの初期電位が伝達される。

【0070】この後、選択ワード線WL2及びその両隣のワード線WL1、WL3の電位を0[V]のままとし、その他の非選択ワード線WL4～WLNの電位をバス電位Vpassに上昇させる。この時、“1”書き込みを行うメモリセルを含むNANDセルユニット内の選択セルM22のチャンネル電位が上昇する結果、少なくとも選択セルM22及びその両隣の非選択セルM12、M32は、チャンネルのバックバイアス効果によりカットオフ状態となる。この後、選択ワード線WL2に書き込み電位Vppが印加されると、選択セルM21においては、コントロールゲート電極（VPP）とチャンネル（0V）の間に高電圧が印加され、“0”書き込みが行われる。一方、“0”書き込みを行わない選択セルM22においては、コントロールゲート電極とチャンネルの間の容量カップリングによりチャンネル電位が上昇し、“0”書き込みが防止される。

【0071】ここで、書き込み電位Vppが18

[V]、メモリセルM22のチャンネルブースト比が0.5であると仮定すると、メモリセルM22のチャンネル電位は、8～9[V]程度まで上昇する。この値は、メモリセルM22に対する誤書き込みを防止するには十分な値である。

【0072】LSB書き込み方式では、選択ワード線WL2に書き込み電位Vppを与えときに、選択ワード線WL2に接続されるが“0”書き込みを行わないメモ

19

リセルM22の両隣りのメモリセルM12, M32がカットオフ状態となっていなければならない。しかし、これらメモリセルM12, M32は、任意の閾値を有しているため、消去状態であることもある。よって、チャネル電位によるバックバイアス効果でメモリセルM12, M32をカットオフ状態にするためには、Vpassを十分に大きくするか、又は、メモリセルM12, M32の消去閾値が十分に浅く（絶対値が小さい負の値）なければならない。

【0073】ところが、Vpassを大きくすると、チャネル電位が0[V]に設定された非選択セルM41～MN1のコントロールゲート電極とチャネルの間に高電圧が印加され、誤書き込みが生じる可能性があるため、Vpassを十分に大きくすることは困難である。また、消去動作時に、消去後のメモリセルの閾値分布の幅を小さく、かつ、消去閾値を十分に浅く制御することもできるが、この場合、消去時間が非常に長くなるため、このような制御は、メモリの動作上、採用することはできない。従って、LSB書き込み方式においても、チャネルのプート比はできるだけ大きい方が好ましく、先の実施の形態で説明したと同様の条件で、メモリセルアレイ領域に対して、チャネルイオン注入と重ねてカウンタイオン注入を行うことが有効になる。

【0074】この発明は上記実施の形態に限られない。ここまでは二値記憶の場合を説明したが、同様のメモリセルアレイ構造で多値記憶を行うNAND型EEPROMにもこの発明を適用することができる。多値記憶ではデータ書き込みのしきい値制御は二値記憶の場合に比べてより厳しくなるから、この発明は有効である。また、実施の形態ではカウンタイオン注入のイオン種としてAsを用いた。これは拡散係数が小さく、基板内部に鋭い濃度ピークを持つカウンタイオン注入層ができるためであるが、カウンタイオン注入のイオン種としてリン(P)を用いることも妨げられない。

【0075】

【発明の効果】以上述べたようにこの発明によれば、メモリセルのしきい値制御のためのチャネルイオン注入層の表面より所定深さ位置にピーク濃度を持つように、チャネルイオン注入層とは逆導電型で且つ低濃度のカウンタイオン注入層を形成することにより、メモリセルのしきい値に影響を与えることなく、チャネル容量を小さくすることができる。これにより、セルフブースト書き込み方式のNAND型EEPROMにおいて、チャネルブースト比を大きく確保することができ、誤書き込みを確実に防止することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるメモリセルアレイの等価回路図である。

【図2】同実施の形態1のメモリセルアレイのレイアウトを示す図である。

20

【図3A】図2のA-A'断面図である。

【図3B】図2のB-B'断面図である。

【図4A】同実施の形態1のメモリセルの断面構造を示す図である。

【図4B】他の実施の形態によるメモリセルの断面構造を示す図である。

【図5】実施の形態1のメモリセルのチャネル領域の不純物濃度分布を示す図である。

【図6】同メモリセルのチャネル領域への空乏層の伸びを説明する他のバンド図である。

【図7】この発明の製造方法の一工程を示す断面図である。

【図8】この発明の製造方法の一工程を示す断面図である。

【図9】この発明の製造方法の一工程を示す断面図である。

【図10】この発明の製造方法の一工程を示す断面図である。

【図11】この発明の製造方法の一工程を示す断面図である。

【図12】この発明の製造方法の一工程を示す断面図である。

【図13】この発明の製造方法の一工程を示す断面図である。

【図14】この発明の製造方法の一工程を示す断面図である。

【図15】この発明の製造方法の一工程を示す断面図である。

【図16】この発明の製造方法の一工程を示す断面図である。

【図17】この発明の製造方法の一工程を示す平面図である。

【図18】この発明の製造方法の一工程を示す平面図である。

【図19】この発明の製造方法の一工程を示す断面図である。

【図20】この発明の製造方法の一工程を示す平面図である。

【図21】この発明の製造方法の一工程を示す平面図である。

【図22】この発明の製造方法の一工程を示す断面図である。

【図23】図20のXXVII-XXVII線に沿う断面図である。

【図24】図21のXXVII-XXVII線に沿う断面図である。

【図25】この発明の製造方法の一工程を示す断面図である。

【図26】この発明の製造方法の一工程を示す断面図である。

21

【図27】この発明の製造方法の一工程を示す平面図である。

【図28】この発明の製造方法の一工程を示す平面図である。

【図29】この発明の製造方法の一工程を示す断面図である。

【図30】図27のXXXIV-XXXIV線に沿う断面図である。

【図31】図27のXXXV-XXXV線に沿う断面図である。

【図32】図28のXXXVI-XXXVI線に沿う断面図である。

【図33】図28のXXXVII-XXXVII線に沿う断面図である。

【図34】この発明の製造方法の一工程を示す平面図である。

【図35】この発明の製造方法の一工程を示す平面図である。

10

*

22

*【図36】この発明の製造方法の一工程を示す断面図である。

【図37】この発明の実施の形態によるローカルブースト書き込み方式の電位関係を示す図である。

【図38】セルフブースト書き込み方式の電位関係を示す図である。

【図39】セルフブースト書き込み方式の動作タイミング図である。

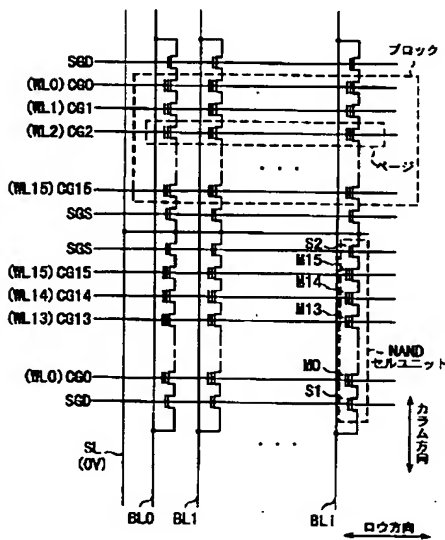
【図40】チャンネルブーストの原理を説明するための図である。

【図41】従来のメモリセルとこの発明のメモリセルでのパス電圧によるしきい値変動を示す図である。

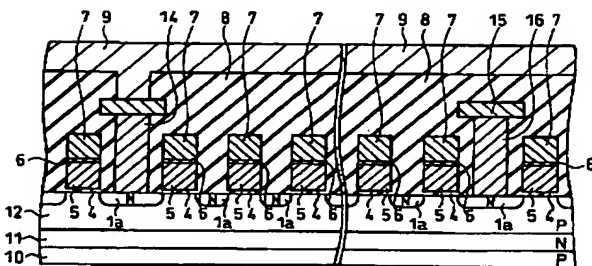
【符号の説明】

10…p型シリコン基板、11…n型ウェル、12…p型ウェル、4…ゲート酸化膜、5…浮遊ゲート、6…ゲート間絶縁膜、7…制御ゲート、1a…n型拡散層、9…ビット線、21、44a…チャンネルイオン注入層、22、44b…カウンタイオン注入層。

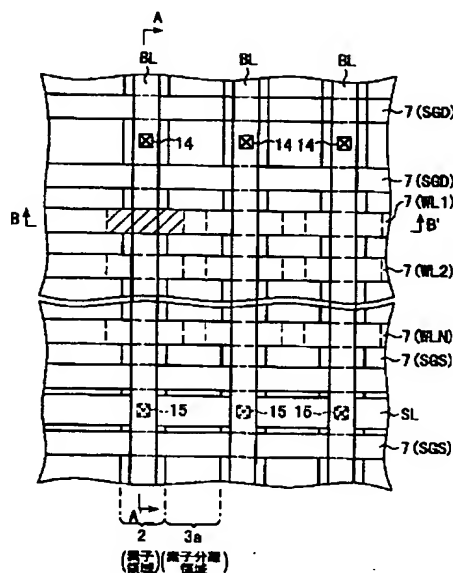
【図1】



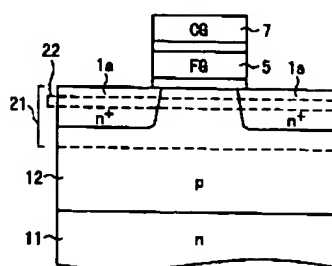
【図3A】



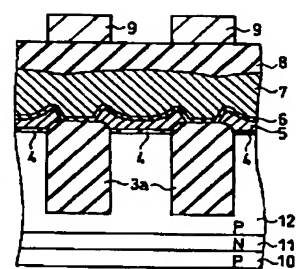
【図2】



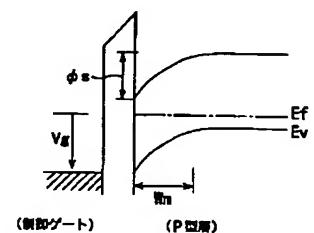
【図4A】



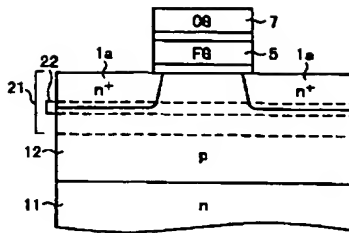
【図3B】



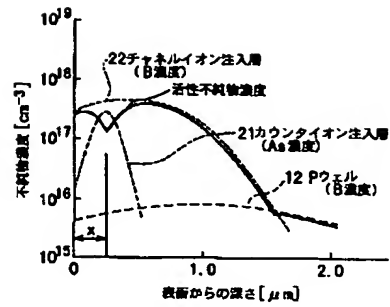
【図6】



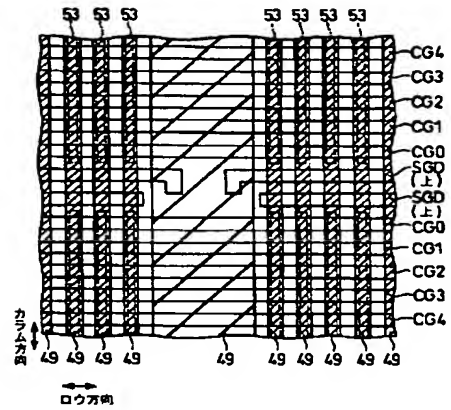
【図4B】



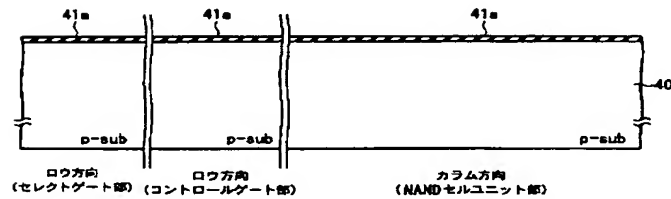
【図5】



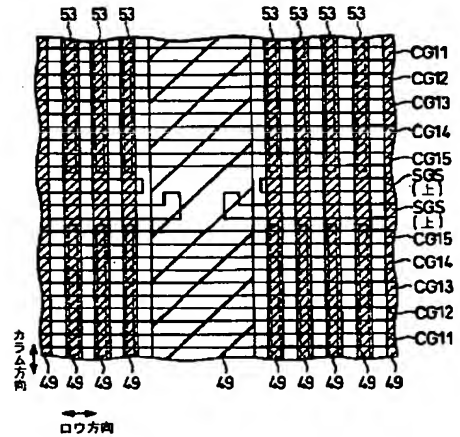
【図17】



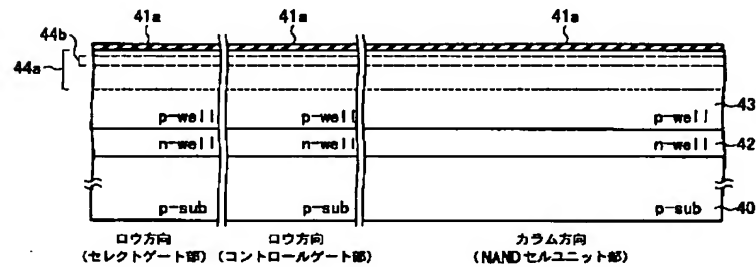
【図7】



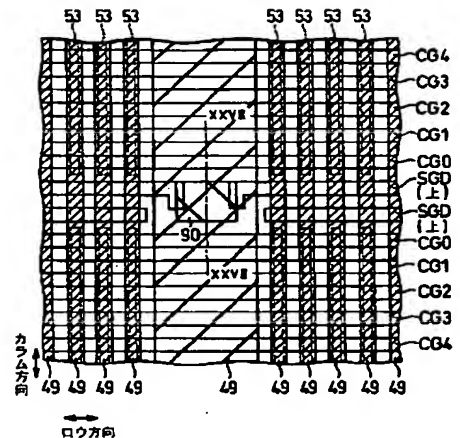
【図18】



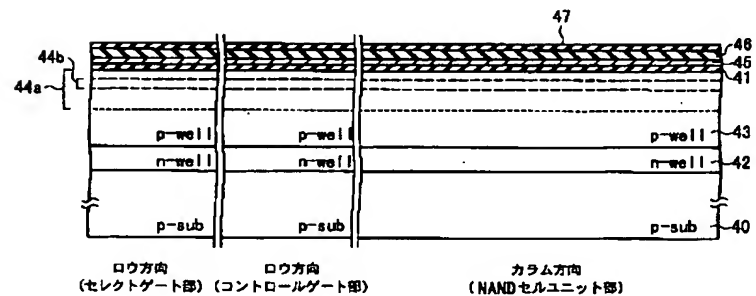
【図8】



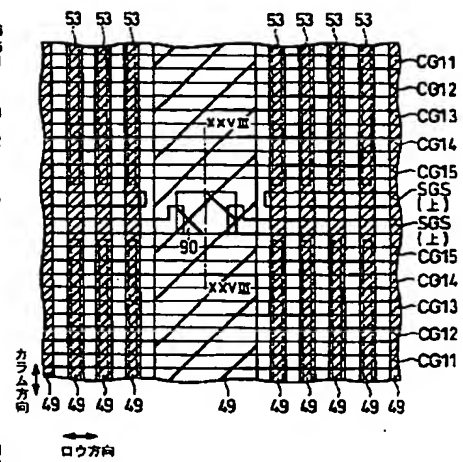
【図20】



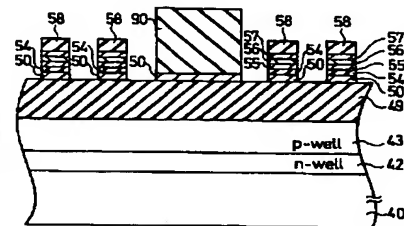
【図9】



【図 2 1】

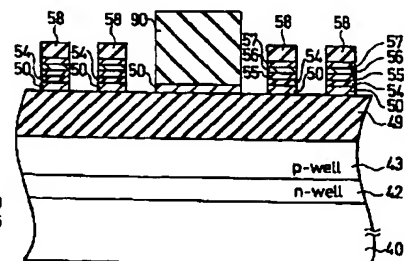


【図 2 3】



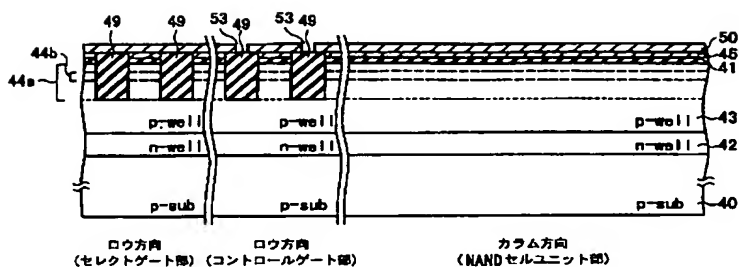
【図 24】

【図 13】

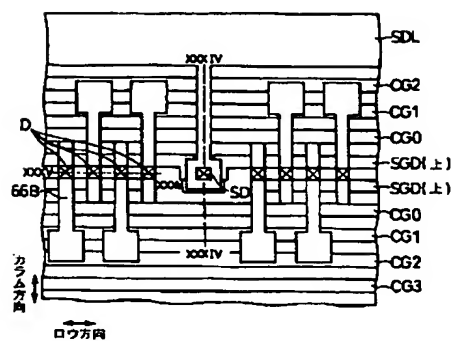


ST AVAILABLE COPY

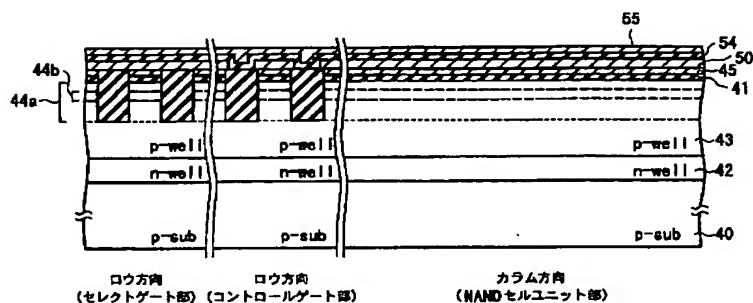
【图 14】



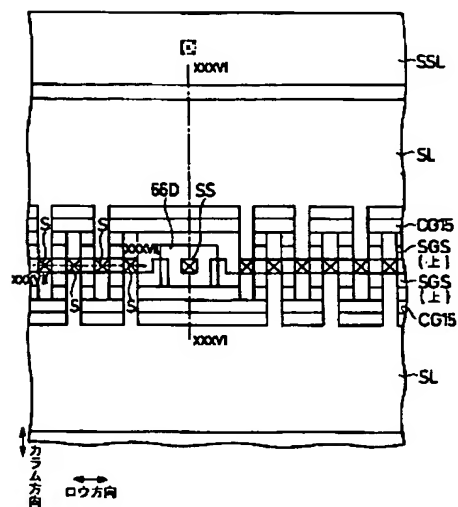
【图 2 7】



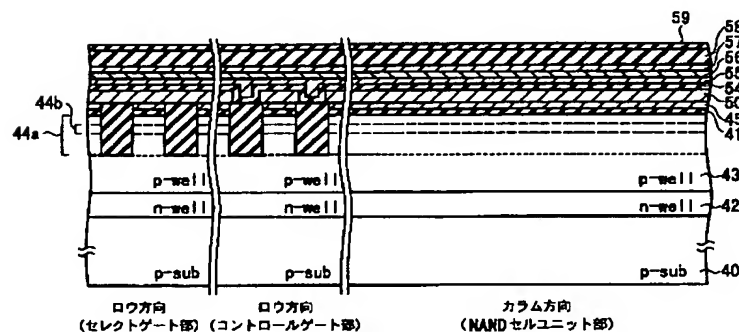
【図 15】



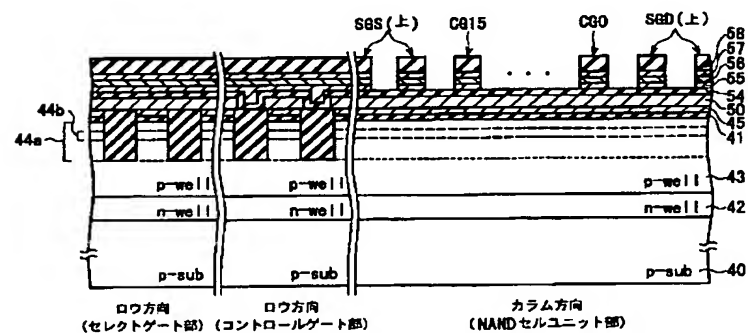
【图 28】



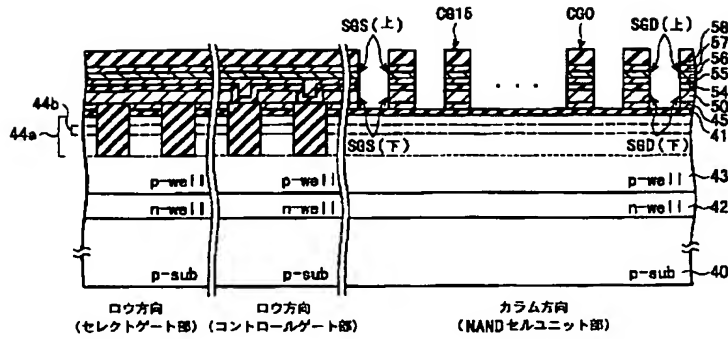
【図 16】



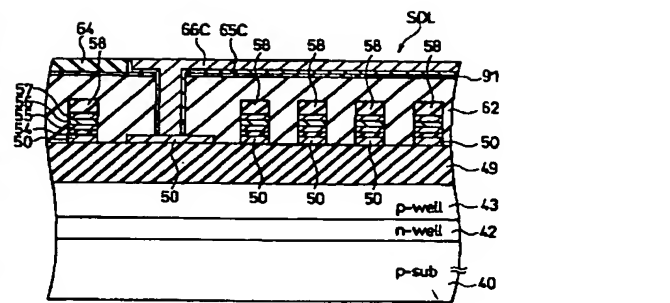
【圖 19】



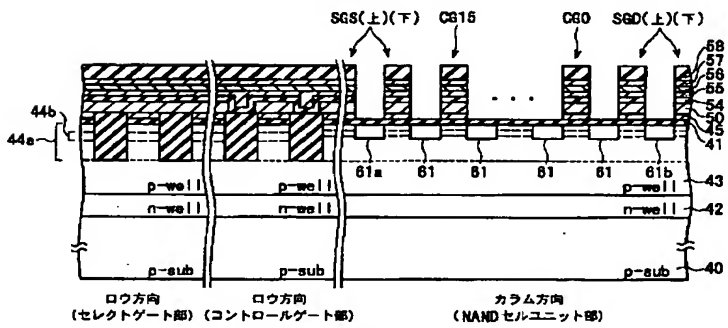
【図22】



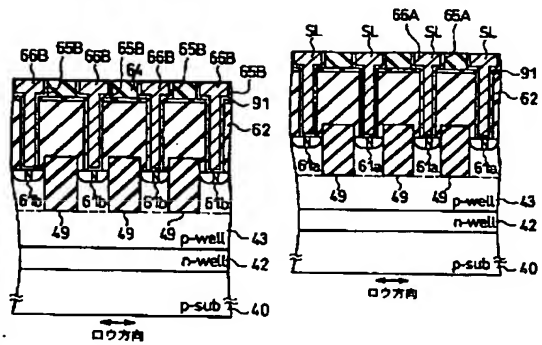
【図30】



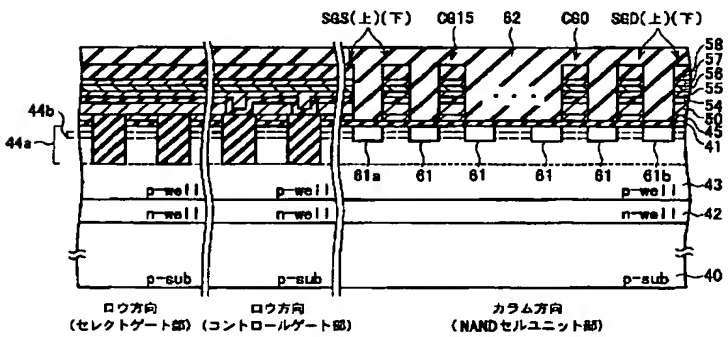
【図25】



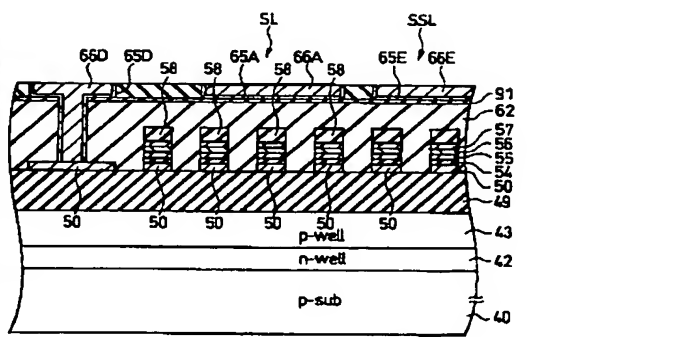
【図31】



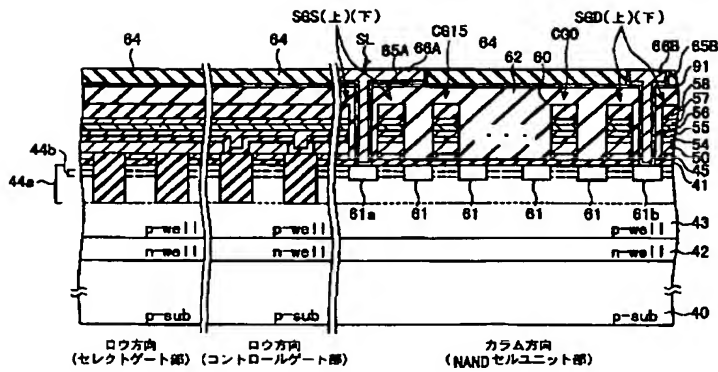
【図26】



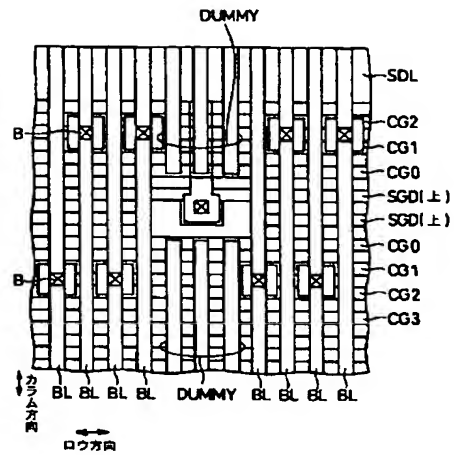
【図32】



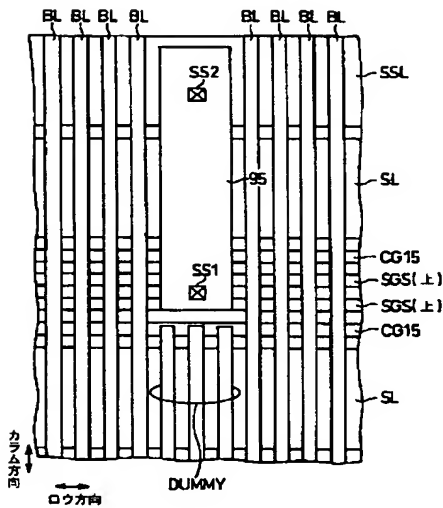
【圖 29】



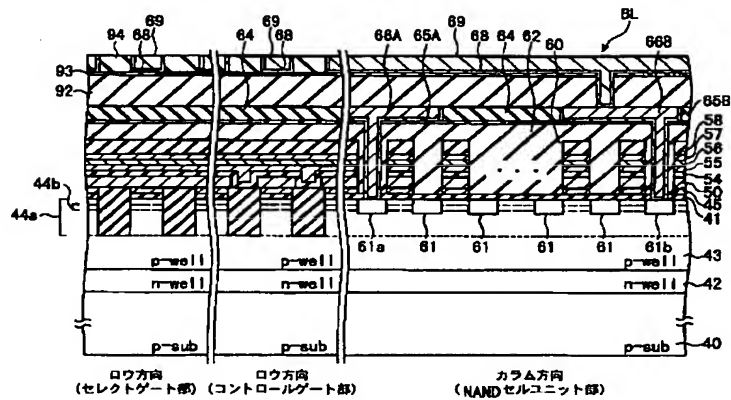
【图 3 4】



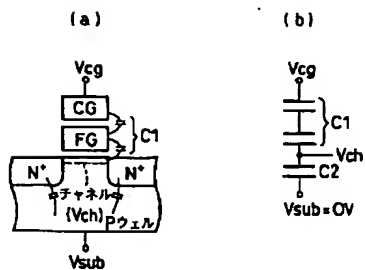
【図 3 5】



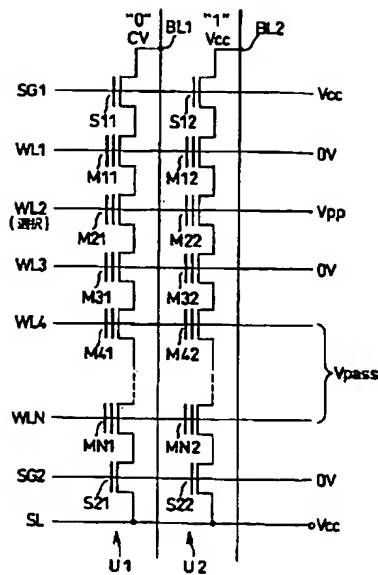
【図 3 6】



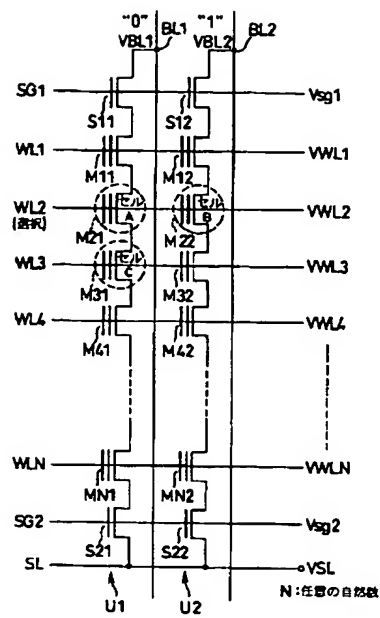
【図 40】



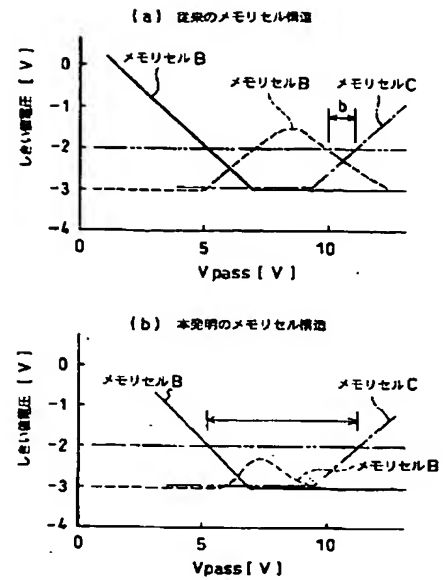
【図37】



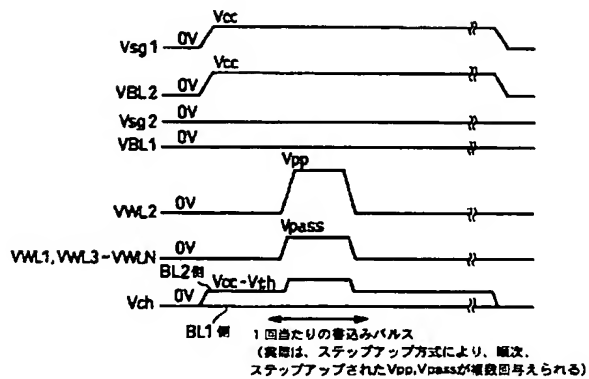
【図38】



【図41】



【図39】



フロントページの続き

Fターム(参考) 5F001 AA25 AB08 AD22 AD23 AD41
AD51 AD60 AE02 AG12 AG21
AG24
5F083 EP02 EP23 EP32 EP76 ER03
ER09 GA15 JA35 JA39 JA53
MA06 MA19 NA01 PR21 PR36
PR40
5F101 BA07 BB05 BD14 BD15 BD22
BD32 BD35 BE05 BH02 BH07
BH09